

基于65 nm CMOS工艺的小型化高增益低噪声放大器设计

郭 庆¹, 陈雨庭¹, 段宗明², 吴先良¹

(1. 安徽大学电子信息工程学院, 安徽合肥 230000; 2. 中国电子科技集团第三十八研究所, 安徽合肥 230000)

摘要: 基于65 nm互补金属氧化物半导体(Complementary Metal Oxide Semiconductor, CMOS)工艺研制了一款用于X波段的小型化高增益低噪声放大器(Low Noise Amplifier, LNA). 通过研究晶体管尺寸和偏置电压对噪声系数和增益性能的影响, 确定了低噪声高增益情况下晶体管尺寸和偏置电压的取值. 针对LNA的输入、输出和级间匹配, 采用变压器匹配网络, 使得LNA尺寸缩小至0.33 mm×0.73 mm, 同时提高了电路的隔离度. 在变压器中嵌入并联电容, 降低了变压器的耦合系数. 基于差分共源拓扑结构, 引入中和电容技术, 有效地抑制了晶体管栅-漏间寄生电容引起的米勒效应, 提高了LNA的增益和稳定性. 测试结果表明, 在1 V电源电压下, 该LNA的带内最大增益为22.9 dB, 最小噪声系数为2.8 dB, 功耗为49 mW. 在射频收发系统中, 本款LNA具有良好的应用前景.

关键词: CMOS; 低噪声放大器; 共源; 变压器; 中和电容

基金项目: 国家自然科学基金(No.61871001, No.61971001)

中图分类号: TN402; TN722.3

文献标识码: A

文章编号: 0372-2112(2023)03-0593-08

电子学报 URL: <http://www.ejournal.org.cn>

DOI: 10.12263/DZXB.20211116

Design of Miniaturized High-Gain Low Noise Amplifier Based on 65 nm CMOS Process

GUO Qing¹, CHEN Yu-ting¹, DUAN Zong-ming², WU Xian-liang¹

(1. School of Electronic Information Engineering, Anhui University, Hefei, Anhui 230000, China;

2. East China Research Institute of Electronic Engineering, Hefei, Anhui 230000, China)

Abstract: An X-band miniaturized high-gain low noise amplifier (LNA) is developed based on 65 nm Complementary Metal Oxide Semiconductor (CMOS) process. By studying the influence of transistor size and bias voltage on noise figure and gain performance, the transistor size and bias voltage under low noise and high gain condition are determined. The transformer matching network is adopted for the input, output and inter-stage matching of LNA, which reduces the LNA size to 0.33 mm×0.73 mm and improves the circuit isolation. By embedding shunt capacitance in the transformer, the coupling coefficient of the transformer is reduced. Furthermore, based on the differential common source (CS) topology, the neutralization capacitance technology is introduced to effectively suppress the Miller effect caused by the parasitic capacitance between the gate and drain of the transistor, and improve the gain and stability of the LNA. The test results show that the maximum in-band gain of the LNA is 22.9 dB, the minimum noise figure is 2.8 dB and the power consumption is 49 mW at 1 V supply voltage. In the RF transmitter and receiver system, this LNA has a good application prospect.

Key words: CMOS; low noise amplifier; common source; transformer; neutralization capacitance

Foundation Item(s): National Natural Science Foundation of China (No.61871001, No.61971001)

1 引言

低噪声放大器(Low Noise Amplifier, LNA)在无线通信、多标准移动终端、电视调谐器、相控阵系统等射频和微波相关系统中是必不可少的部件^[1-4]. 对于这些

应用而言,低成本、小型化、高增益和低

噪声系数(Noise Figure, NF)是实现系统整体性能的基础^[5-16]. 作为接收机的第一级, LNA的性能对接收机起着重要的作用,其主要功能是将天线接收到的信

号进行放大,同时使电路保持良好的噪声性能.目前,在LNA的工艺制造方面,采用先进互补金属氧化物半导体(Complementary Metal Oxide Semiconductor, CMOS)工艺制作的LNA,其性能指标与采用硅锗(SiGe)双极型互补金属氧化物(Bipolar Complementary Metal Oxide Semiconductor, BiCMOS)工艺相当,但CMOS工艺的成本较低,故采用CMOS工艺的LNA具有显著优势^[17-19].随着工作频率的增加,硅元件中产生的寄生效应会降低LNA的性能.在LNA的设计中,采用中和电容技术和变压器匹配网络等一些设计方法可以降低寄生效应的影响并提高LNA的性能^[20-33].

文献[6]采用传统的单端共源与共源共栅级联结构,实现了中等增益和低功耗的特点.但是传统阻抗匹配网络中的电感不仅占据了大量的芯片面积,还因其本身的欧姆损耗降低了放大器的噪声性能.在文献[24]中,采用基于变压器匹配网络的单端共源级联结构,实

现了仅为 0.44 mm^2 的芯片面积.虽然该款LNA具有小型化低功耗的优点,但单端共源结构在降低功耗的同时也降低了放大器的增益,且对外界的抗干扰能力较差.

本文提出了一款工作在X波段内采用65 nm CMOS工艺制作的LNA.如图1所示(图中 V_{DD} 为电源电压, V_b 为偏置电压, C_n 为中和电容),LNA采用两级差分共源结构,其中差分结构可以有效地抑制共模噪声,级联结构则可以实现高增益的特点.研究了晶体管尺寸和偏置电压对增益和噪声系数的影响,给出了高增益低噪声情况下它们的取值.采用变压器匹配网络(T_1 、 T_2 、 T_3)来进行阻抗匹配,减小了芯片整体面积.为解决高耦合系数变压器难以实现的问题,在变压器中嵌入并联电容 C_1 、 C_2 、 C_3 ,提高了设计的自由度,并且提高了增益,降低了NF.同时,引入中和电容技术,以减小晶体管栅-漏极电容 C_{gd} 所引入的米勒效应,提高了LNA的增益性能和稳定性.

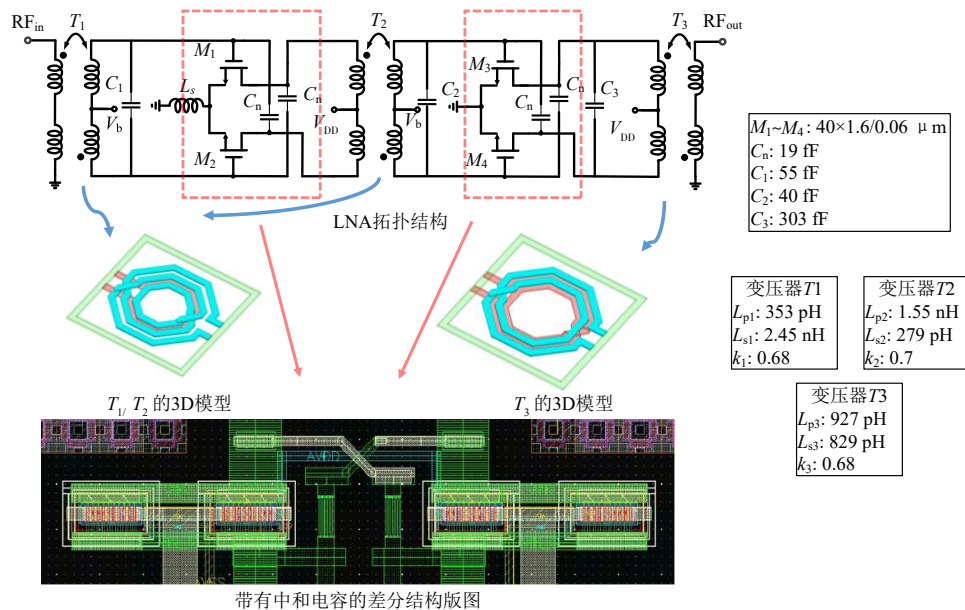


图1 LNA的电路结构

2 电路选择

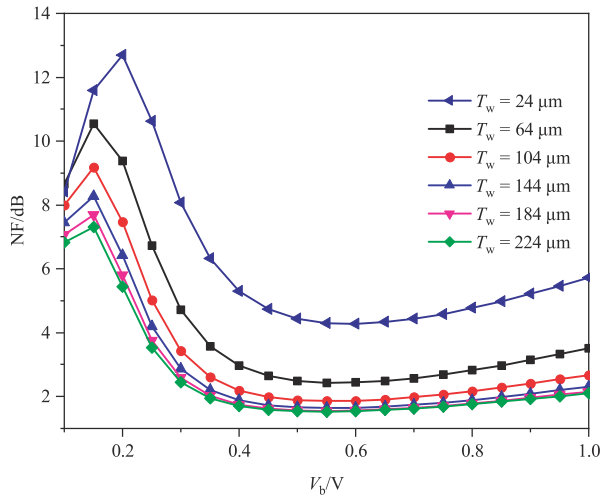
2.1 参数测试

为确定晶体管的最佳尺寸和偏置电压,仿真分析了晶体管的总宽度(T_w)和偏置电压(V_b)对噪声系数(NF)和最大功率增益(G_{\max})的影响,其中 T_w 为晶体管的指数(N) \times 每指宽度(F_w).如图2所示,当 $V_b > 0.4 \text{ V}$ 时,晶体管的NF处于相对较低的水平, G_{\max} 达到相对饱和状态.当 $V_b = 0.55 \text{ V}$ 时,可以得到最小的NF和相对较高的 G_{\max} .随着 T_w 的增加,晶体管的NF越来越低, G_{\max} 越来越大,但与此同时功耗也会急剧增加.因 $T_w > 64 \mu\text{m}$ 后,NF与 G_{\max} 的变化并不大,在折中考虑NF、 G_{\max} 和功

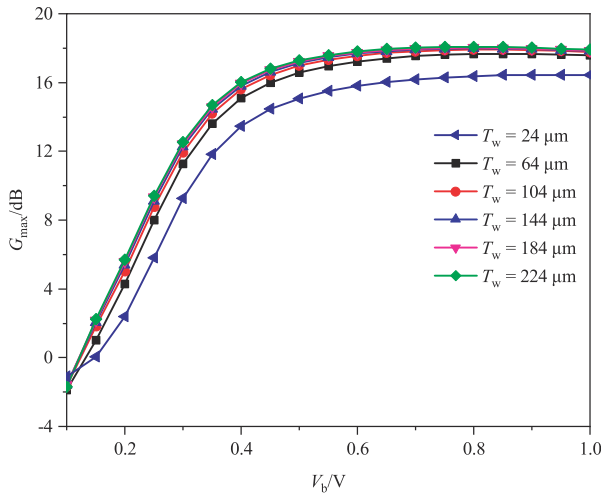
耗三者后,最终选择 $T_w = 64 \mu\text{m}$ 的晶体管来完成本设计.

T_w 固定后,通过调整 F_w 和 N 可以进一步提高晶体管的性能.如图3所示,NF和 G_{\max} 随 F_w 的增加(对应 N 减小),分别呈现出先减小后增大和一直增大的变化.当 $F_w = 1.6 \mu\text{m}$, $N = 40$ 时,晶体管可以实现最佳的NF和相对较高的增益.

通过上述研究,晶体管尺寸与偏置电压最终确定为 $40 \times 1.6 / 0.06 \mu\text{m}$ (晶体管长度 L 选择工艺所提供的最小值 60 nm)和 550 mV .此外,由于指数较多的晶体管难以制造,本文中采用并联两个 $N = 20$ 的晶体管的方式

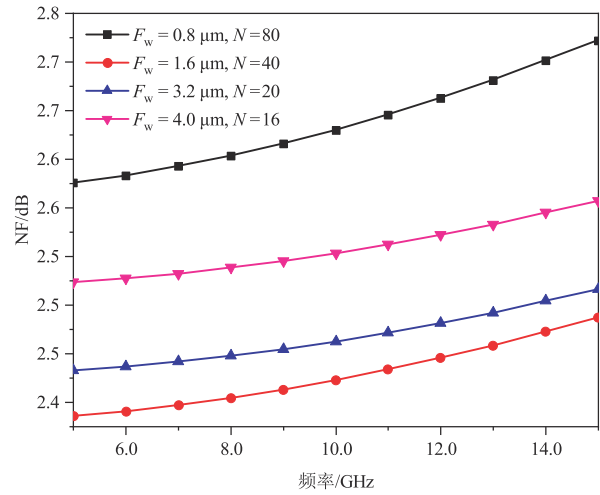


(a) 晶体管总宽度(T_w)和偏置电压(V_b)对 NF 的影响

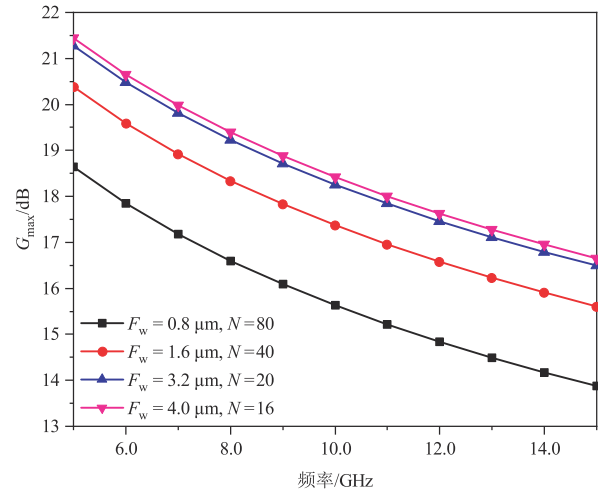


(b) 晶体管总宽度(T_w)和偏置电压(V_b)对 G_{max} 的影响

图 2 T_w 和 V_b 分别对 NF 和 G_{max} 的影响



(a) T_w 固定时,不同的晶体管指数(N)和指宽(F_w)对 NF 的影响



(b) T_w 固定时,不同的晶体管指数(N)和指宽(F_w)对 G_{max} 的影响

图 3 T_w 固定时, N 和 F_w 分别对 NF 和 G_{max} 的影响

将其指数等效为 40^[34].

2.2 带有嵌入电容的变压器匹配网络

一个典型的两级级联放大器的噪声因子可以表示为:

$$\begin{aligned}
 F &= \frac{(M_{in}/N_{in})}{(M_{out}/N_{out})} \\
 &= \frac{M_{in}/N_{in}}{(G_1 G_2 M_{in}) / (N_{a2} + N_{a1} N_2 + G_1 G_2 N_{in})} \\
 &= 1 + \frac{N_{a1}}{G_1 N_{in}} + \frac{N_{a2}}{G_1 G_2 N_{in}} \\
 &= F_1 + \frac{F_2 - 1}{G_1} \tag{1}
 \end{aligned}$$

式中, M_{in} 和 M_{out} 分别表示输入和输出端的信号功率, N_{in} 和 N_{out} 分别表示输入和输出端的噪声功率. N_{ai} 和 G_i 分别

表示各级放大器的噪声和增益. 由式(1)可知,两级级联放大器的噪声主要由第一级放大器决定. 因此,在设计多级级联 LNA 时应尽可能的降低电路中第一级放大器的噪声,并提高其增益.

第一级放大器的噪声往往需要与阻抗同时进行匹配,使得第一级放大器处于最优噪声阻抗点. 为了缩小芯片尺寸,方便地转换单端信号和差分信号,采用变压器匹配网络来进行阻抗匹配. 变压器除了上述优点外,还可以提高电路端口之间的隔离度,并易于添加偏置电压和电源电压. 另外,为了提高变压器的品质因数(Q),采用八边形螺旋电感来构成所需的变压器,如图 1 中变压器 3D 模型所示.

变压器的设计通常需要很高(0.8~0.9)的耦合系数(k),在实际加工过程中这是难以实现的. 为解决该设计难题,提出了在变压器中嵌入并联电容的方法,降低

了变压器的耦合系数,提高了设计自由度. 并联电容的引入还提高了LNA的噪声与增益性能. 如图4所示,在引入 C_1 后,LNA增益提高了大约2 dB,NF降低了大约0.6 dB.

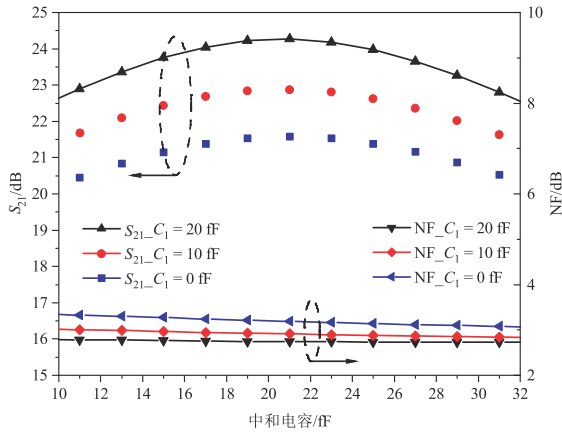


图4 工作在11 GHz时,不同的嵌入电容值和中和电容值对 S_{21} 和NF的影响

以输入端为例,如图5所示为变压器的等效电路($L_1=L_2$ 时)与LNA输入匹配过程. 通过调整源筒并电感 L_s (本文取70 pH),确定所需的最优噪声系数圆和最优噪声阻抗点(图5中的实线圆与靠近圆心的点). 然后通过变压器的等效电路,进行晶体管的最优噪声阻抗匹配. 最后通过等效电路中三个电感的值确定变压器匹配网络中各参数的值.

2.3 中和电容技术

高频LNA通常由共源(CS)结构和共源共栅(cascode)结构实现. 虽然cascode结构在带宽和隔离度方面表现出较好的性能,但是在噪声系数和功耗方面的性能要弱于CS结构. 考虑到差分级联放大器本身就需要消耗较大的功耗,所以选择CS结构来设计本文中的LNA.

对于传统的CS结构来说,由于晶体管栅极和漏极之间存在寄生电容 C_{gd} ,电路中将会形成负反馈(米勒效应). 负反馈的形成降低了电路的隔离度和功率增益. 为了抵消米勒效应的影响,笔者采用了带有中和电容的差分共源结构,如图6所示.

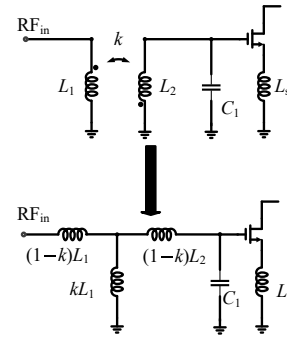
图中 C_n 为中和电容, C_{gs} 、 C_{gd} 、 C_{db} 分别为晶体管的栅源、栅漏、漏体寄生电容, r_g 为栅极寄生电阻, r_o 为漏极与源极之间的等效电阻, g_m 是跨导,计算Y参数^[35]:

$$Y_{11} = \frac{1}{r_g} + j\omega C_{gs} + j\omega(C_{gs} + C_n) \quad (2)$$

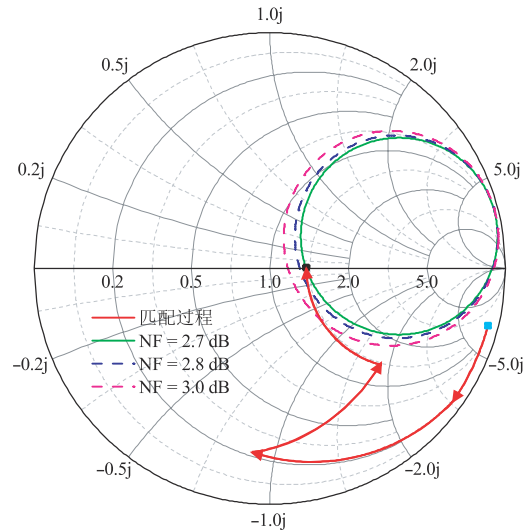
$$Y_{12} = -j\omega(C_{gd} - C_n) \quad (3)$$

$$Y_{21} = g_m - j\omega(C_{gd} - C_n) \quad (4)$$

$$Y_{22} = \frac{1}{r_o} + j\omega C_{db} + j\omega(C_{gd} + C_n) \quad (5)$$



(a) 变压器等效电路



(b) LNA输入匹配过程

图5 变压器等效电路与LNA输入匹配过程

式(3)表明,采用中和电容可以缓解米勒电容的影响,提高电路的反向隔离度. 除此以外,中和电容的加入还可以提高电路的稳定性. 在频率在11 GHz时,为了确定中和电容的取值,仿真分析不同的中和电容值对稳定因子Kf和增益 G_{max} 的影响,如图7所示. 图7表明,中和电容的值越接近 C_{gd} (=19 fF),则稳定因子Kf的值越大,电路也就越稳定,但是此时 G_{max} 处于较低的水平. 而在 G_{max} 达到最大值时,Kf将减小到1以下,引起电路的不稳定. 因此,在折中考虑稳定性和增益后,选择的中和电容值为19 fF.

3 流片测试结果

本文设计了一款工作在X波段基于65 nm CMOS工艺的小型化高增益低噪声放大器. 如图8所示为LNA的显微照片,整体面积为 $0.73 \text{ mm} \times 0.99 \text{ mm}$ (包括射频和直流焊盘),核心区域面积为 $0.33 \text{ mm} \times 0.73 \text{ mm}$. 在1 V测试电源电压下,功耗为49 mW.

低噪声S参数与NF的实测结果和仿真结果如图9

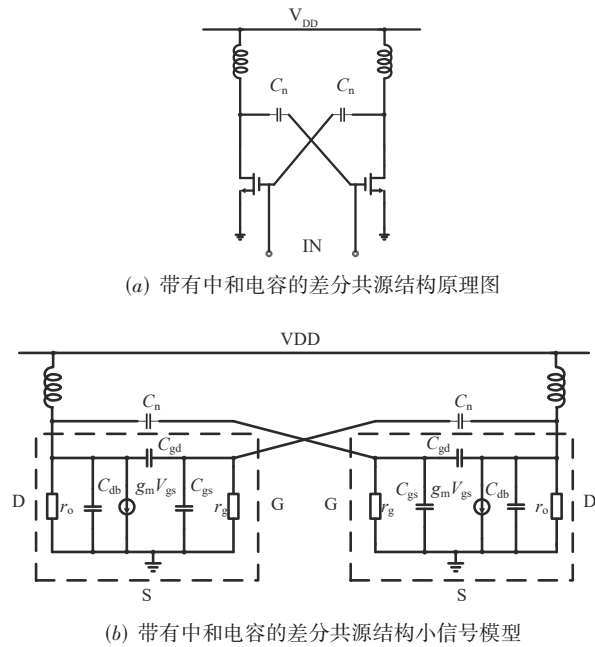


图6 带有中和电容的差分共源结构原理图与小信号模型

所示. 与仿真曲线相比, S 参数和 NF 的实测曲线大约向前频偏 0.5~1 GHz, 这是由于测试及 GSG 探针等寄生参数所造成的. 实测结果表明, 输入匹配 S_{11} 在 9.8~10.5 GHz 范围内小于 -10 dB, 输出匹配 S_{22} 在 8.5~11.5 GHz 范围内小于 -10 dB. 功率增益 S_{21} 在 9.5~12 GHz 范围内为 19.9~22.9 dB, 3 dB 带宽为 3.5 GHz. 在 10.4 GHz 时 NF 达到最小值 2.8 dB, 在 9.5~11 GHz 范围内 NF 均小于 3.2 dB.

表 1 各种工作在 X 波段 LNA 的性能总结与对比

	文献[25]	文献[36]	文献[37]	文献[38]	This work
Technology	0.18 μm CMOS	0.15 μm GaAs pHEMT	0.25 μm Power GaN/SiC HEMT	GaN HEMT	65 nm CMOS
Frequency(GHz)	11	3~15	8~11	8~10	8.5~11.5
Gain(dB)	45	28	20	25.5	22.9
NF(dB)	6.2	2.5	2	1.3	2.8
S_{11} (dB)	< -10	< -10	< -10	< -10	< -10
S_{22} (dB)	< -10	< -10	< -10	< -10	< -10
P_{dc} (mW)	150	200	600	900	49
FOM	0.06	0.09	0.03	0.09	0.26
Area(mm^2)	0.86	2	3.6	4.5	0.24

$$\text{FOM} = \frac{\text{Gain}}{(\text{NF}-1) \cdot P_{dc}} \quad (5)$$

由表可见, 本文设计的 LNA 具有最高的 FOM 值,

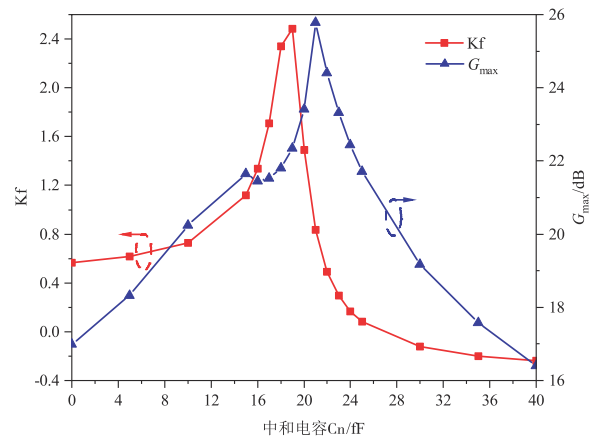


图7 在 11 GHz 时, 不同的中和电容值对稳定因子 Kf 和 G_{max} 的影响

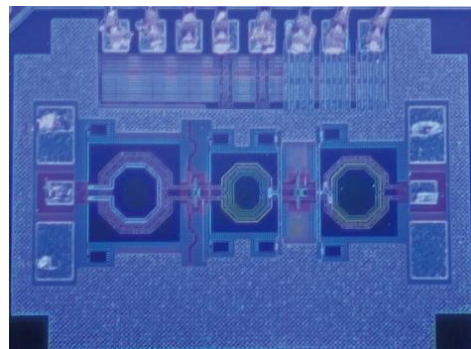


图8 LNA 显微照片

表 1 给出了本文所提出 LNA 的性能总结, 并与前人发表的工作在 X 波段的 LNA 进行了对比, 其中 FOM 可以表示为:

且在功耗方面具有较大优势, 在整体性能上要优于之前所发表的 LNA.

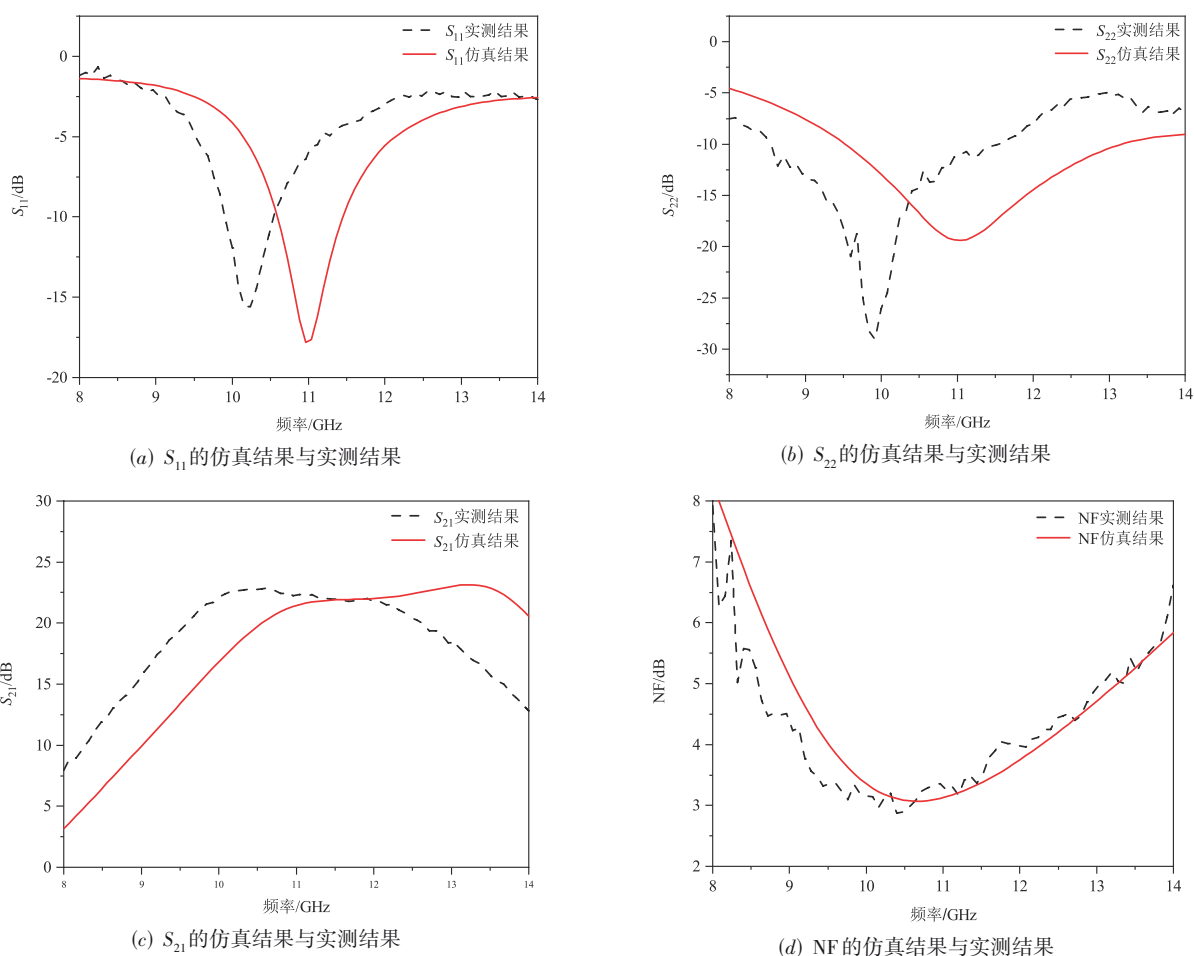


图9 芯片仿真与实测结果对比

4 总结

本文采用 65 nm CMOS 工艺实现了一款工作在 X 波段的低噪声放大器. 通过采用两级差分共源拓扑结构, 并结合带有嵌入电容的输入、输出和级间变压器匹配网络以及中和电容技术, 使得所实现的 LNA 具有小型化、高增益以及低噪声的特点. 在 10.4 GHz 处, LNA 的 NF 仅为 2.8 dB, 功率增益达到了 22.9 dB, 3 dB 带宽为 3.5 GHz. 整个芯片的面积为 0.73 mm×0.99 mm, 核心 LNA 区域面积仅为 0.33 mm×0.99 mm, 具有良好的应用前景.

参考文献

- [1] EL-NOZAH M, SANCHEZ-SINENCIO E, ENTESARI K. Power-aware multiband-multistandard CMOS receiver system-level budgeting[J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2009, 56(7): 570-574.
- [2] XIAO J H, GAO W N, XU X J, et al. A 180 mW multistandard TV tuner in 28 nm CMOS[C]//2016 IEEE Sympo-

sium on VLSI Circuits. Piscataway: IEEE, 2016: 1-2.

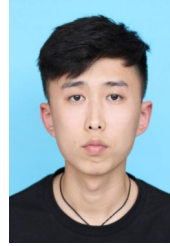
- [3] GHARIBDOUST K, MOUSAVI N, KALANTARI M, et al. A fully integrated 0.18- μ m CMOS transceiver chip for X-band phased-array systems[J]. IEEE Transactions on Microwave Theory and Techniques, 2012, 60(7): 2192-2202.
- [4] LIU C, LI Q, LI Y H, et al. A fully integrated X-band phased-array transceiver in 0.13- μ m SiGe BiCMOS technology[J]. IEEE Transactions on Microwave Theory and Techniques, 2016, 64(2): 575-584.
- [5] AFSHAR B, NIKNEJAD A M. X/ku band CMOS LNA design techniques[C]//IEEE Custom Integrated Circuits Conference. Piscataway: IEEE, 2006: 389-392.
- [6] LI N, FENG W W, LI X P. A CMOS 3-12-GHz ultrawideband low noise amplifier by dual-resonance network[J]. IEEE Microwave and Wireless Components Letters, 2017, 27(4): 383-385.
- [7] VIMALAN L, DEVI S. Performance analysis of various topologies of common source low noise amplifier (CS-LNA) at 90 nm technology[C]//2018 3rd IEEE Internation-

- al Conference on Recent Trends in Electronics, Information & Communication Technology. Piscataway: IEEE, 2018: 1687-1691.
- [8] PEPE D, ZITO D. 32 dB gain 28 nm bulk CMOS W-band LNA[J]. IEEE Microwave and Wireless Components Letters, 2015, 25(1): 55-57.
- [9] ABEDI R, KANANIZADEH R, MOMENI O, et al. A CMOS V-band PLL with a harmonic positive feedback VCO leveraging operation in triode region for phase-noise improvement[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2019, 66(5): 1818-1830.
- [10] MA T K, DENG W, CHEN Z P, et al. A CMOS 76-81-GHz 2-TX 3-RX FMCW radar transceiver based on mixed-mode PLL chirp generator[J]. IEEE Journal of Solid-State Circuits, 2020, 55(2): 233-248.
- [11] YANG D, ANDREWS C, MOLNAR A. Optimized design of N-phase passive mixer-first receivers in wideband operation[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2015, 62(11): 2759-2770.
- [12] ZHU D Z, WANG Y X, PENG C L, et al. A low-power 2.4-GHz receiver front-end with a complementary series feedback LNA and a current-reused passive down-converter based on gm-boosted TIA for WSN applications[J]. IEICE Electronics Express, 2020, 17(23): 20200353.
- [13] SAWAYAMA Y, MORISHITA T, KOMOKU K, et al. Study of dual-band concurrent LNA equipping mutual inductive Notch filter matching circuit[J]. IEICE Electronics Express, 2021, 18(5): 20210046.
- [14] ZHOU H M, ZHANG Y, YU Y. Ultra-wideband low noise amplifier employing noise cancelling and simultaneous input and noise matching technique[J]. IEICE Electronics Express, 2019, 16(11): 20190274.
- [15] YANG L, YANG L A, RONG T T, et al. A five-octave broadband LNA MMIC using bandwidth enhancement and noise reduction technique[J]. IEICE Electronics Express, 2019, 16(7): 20190096.
- [16] YANG L, YANG L A, RONG T T, et al. 1-30 GHz ultra-wideband low noise amplifier with on-chip temperature-compensation circuit[J]. IEICE Electronics Express, 2018, 15(20): 20180804.
- [17] KAWANO Y, SUZUKI T, SATO M, et al. A 77 GHz transceiver in 90 nm CMOS[C]//2009 IEEE International Solid-State Circuits Conference - Digest of Technical Papers. Piscataway: IEEE, 2009: 310-311.
- [18] LEE J, LI Y A, HUNG M H, et al. A fully-integrated 77-GHz FMCW radar transceiver in 65-nm CMOS technology[J]. IEEE Journal of Solid-State Circuits, 2010, 45(12): 2746-2756.
- [19] LE V H, DUONG H T, HUYNH A T, et al. A CMOS 77-GHz receiver front-end for automotive radar[J]. IEEE Transactions on Microwave Theory and Techniques, 2013, 61(10): 3783-3793.
- [20] JIANG Z D, LIU Z Q, LIU H H, et al. A 24 GHz enhanced neutralized cascode LNA with 4.7 dB NF and 19.8 dB gain[J]. IEICE Electronics Express, 2018, 15(11): 20180464.
- [21] CHEN D, JIANG Z D, ZHAO C X, et al. A wideband high efficiency V-band 65 nm CMOS power amplifier with neutralization and harmonic controlling[J]. IEICE Electronics Express, 2017, 14(24): 20171110.
- [22] ZHAO D X, REYNAERT P. A 40-nm CMOS E-band 4-way power amplifier with neutralized bootstrapped cascode amplifier and optimum passive circuits[J]. IEEE Transactions on Microwave Theory and Techniques, 2015, 63(12): 4083-4089.
- [23] WANG P Y, CHOU M C, SU P C, et al. A fully integrated Ku-band down-converter front-end for DBS receivers [C]//2014 IEEE MTT-S International Microwave Symposium. Piscataway: IEEE, 2014: 1-3.
- [24] TSAI J H, HUANG W L, LIN C Y, et al. An X-band low-power CMOS low noise amplifier with transformer interstage matching networks[C]//2014 9th European Microwave Integrated Circuit Conference. Piscataway: IEEE, 2014: 524-527.
- [25] WANG P Y, SHEN Y C, CHOU M C, et al. Design of fully integrated receiver front-end for VSAT applications [C]//2015 IEEE 15th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems. Piscataway: IEEE, 2015: 11-13.
- [26] LI Y J, DUAN Z M, LV W, et al. A Ka-band 23 dBm power amplifier based on 4-way parallel-series power combiner with loaded capacitors in 65-nm CMOS[J]. IEICE Electronics Express, 2021, 18(11): 20210191.
- [27] CHEN D, JIANG Z D, ZHAO C X, et al. A wideband high efficiency V-band 65 nm CMOS power amplifier with neutralization and harmonic controlling[J]. IEICE Electronics Express, 2017, 14(24): 20171110.
- [28] CHAN W L, LONG J R. A 58-65 GHz neutralized CMOS power amplifier with PAE above 10% at 1-V supply[J]. IEEE Journal of Solid-State Circuits, 2010, 45(3): 554-564.
- [29] CHAI Y, LI L M, CUI T J. Design of a 60-GHz receiver

front-end with broadband matching techniques in 65-nm CMOS[J]. IEICE Electronics Express, 2018, 15(24): 20180935.

- [30] CHENG S, LI L H, MEI N S, et al. A high gain 79-GHz low noise amplifier using inductor-embedded neutralization technique[J]. IEICE Electronics Express, 2021, 18(10): 20210150.
- [31] VIGILANTE M, REYNAERT P. 20.10 A 68.1-to-96.4 GHz variable-gain low-noise amplifier in 28 nm CMOS[C]//2016 IEEE International Solid-State Circuits Conference. Piscataway: IEEE, 2016: 360-362.
- [32] JIANG Z D, LIU Z Q, LIU H H, et al. A 24 GHz enhanced neutralized cascode LNA with 4.7 dB NF and 19.8 dB gain[J]. IEICE Electronics Express, 2018, 15(11): 20180464.
- [33] CHEN D, XING Z, CHEN Z L, et al. A package-level wideband driver amplifier with 134% fractional bandwidth[J]. IEICE Electronics Express, 2018, 15(11): 20180179.
- [34] RAZAVI B. Design of Analog CMOS Integrated Circuits [M]. 2nd ed. New York: McGraw-Hill Education, 2017.
- [35] 陈天伟, 毛陆虹, 谢生, 等. 160 GHz 三级堆栈式 CMOS 功率放大器的设计[J]. 南开大学学报(自然科学版), 2020, 53(4): 63-66, 92.
CHEN T W, MAO L H, XIE S, et al. Design of a 160 GHz three-stage stacked CMOS power amplifier[J]. Acta Scientiarum Naturalium Universitatis Nankaiensis, 2020, 53(4): 63-66, 92. (in Chinese)
- [36] ZHANG H, QIAN G M, ZHONG W Y, et al. A 3-15 GHz ultra-wideband 0.15- μm pHEMT low noise amplifier design[C]//2016 IEEE International Conference on Communication Systems. Piscataway: IEEE, 2016: 1-4.
- [37] KAZAN O, KOCER F, AYDIN CIVI O. An X-band robust GaN low-noise amplifier MMIC with sub 2 dB noise figure[C]//2018 13th European Microwave Integrated Circuits Conference (EuMIC). Madrid: IEEE, 2018: 1202-1204.
- [38] VITTORI M, COLANGELI S, CICCIGNANI W, et al. High performance X-band LNAs using a 0.25 μm GaN technology[C]//2017 13th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME). Piscataway: IEEE, 2017: 157-160.

作者简介



郭庆 男, 1997年7月出生于安徽省亳州市, 现为安徽大学电子信息工程学院在读硕士研究生, 主要研究方向为射频电路设计。
E-mail: 18712202602@163.com



陈雨庭 男, 1990年6月出生于安徽省舒城县. 现为安徽大学电子信息工程学院在读博士研究生, 研究方向为射频电路设计。
E-mail: 334154923@qq.com

段宗明 男, 1982年出生于安徽省安庆市. 博士, 高级工程师. 主要研究方向为硅基射频与毫米波电路与系统设计。
E-mail: duanzongm@163.com

吴先良(通讯作者) 男, 1955年出生于安徽省亳州市. 教授, 博士生导师. 研究方向为电磁场理论、移动通信、复杂目标散射与逆散射理论、微波技术与天线、电磁场数值方法等领域。
E-mail: xlwu@ahu.edu.cn